

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開平6-51349

(43) 公開日 平成6年(1994) 2月25日

| (51) Int.Cl. <sup>5</sup> | 識別記号   | 庁内整理番号 | F I     | 技術表示箇所 |
|---------------------------|--------|--------|---------|--------|
| G 0 2 F                   | 1/136  | 5 0 0  | 9018-2K |        |
|                           | 1/1343 |        | 9018-2K |        |

審査請求 有 請求項の数12(全 8 頁)

|              |                 |          |  |
|--------------|-----------------|----------|--|
| (21) 出願番号    | 特願平5-133712     | (71) 出願人 | 000004237<br>日本電気株式会社<br>東京都港区芝五丁目7番1号 |
| (22) 出願日     | 平成5年(1993) 6月4日 | (72) 発明者 | 渡邊 貴彦<br>東京都港区芝五丁目7番1号 日本電気株式会社内       |
| (31) 優先権主張番号 | 特願平4-143872     | (74) 代理人 | 弁理士 京本 直樹 (外2名)                        |
| (32) 優先日     | 平4(1992) 6月4日   |          |  |
| (33) 優先権主張国  | 日本 (J P)        |          |  |

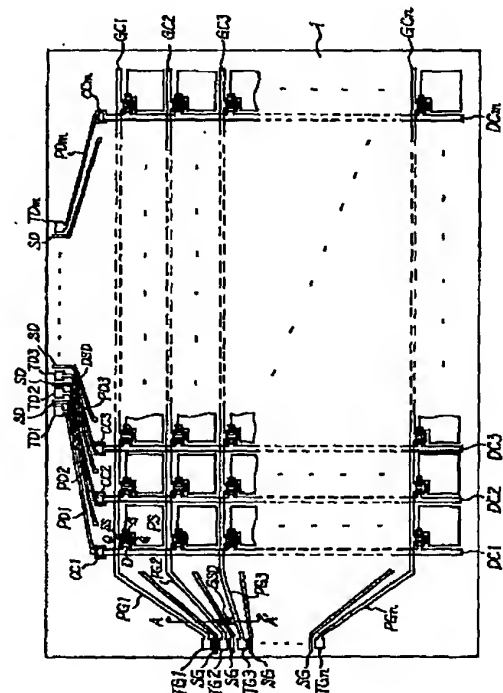
(54) 【発明の名称】 液晶表示装置およびその製造方法

(57) 【要約】

【目的】 アクティブマトリクスアレイ基板の表示画素部の並行する下層配線間の短絡を自動的に修復できる構造を提供する。

【構成】 第1の配線上の層間絶縁膜に第1の配線の延びる方向に沿ってスリット状の開口部を設けた構造で、第1の配線に直交する層間絶縁膜上の第2の配線形成時にスリットで露出された第1の配線の短絡部を自動的に切断修復する。

【効果】 短絡部分の位置特定のための検査やレーザなどの修正装置は全く不要で、予めマスクパターンを追加する以外は通常の製造プロセスを踏襲するだけで自動的に短絡修正ができ線状表示欠陥による歩留低下を抑制する。



1

## 【特許請求の範囲】

【請求項1】 複数行に配置形成された第1の配線群と、複数列に配置形成された第2の配線群と、各第1および第2の配線の交差部分に形成された薄膜トランジスタと、列方向に配置形成された複数の電極端子と、これら電極端子を前記第1の配線群の対応する配線にそれぞれ接続する部分配線群と、前記第1の配線群、前記複数の電極端子の夫々の一部および前記部分配線を覆う第1の絶縁膜とが絶縁基板上に形成され、かつ隣り合う前記電極端子間および部分配線間の前記絶縁膜に前記絶縁基板に達するスリットが設けられていることを特徴とする液晶表示装置。

【請求項2】 前記薄膜トランジスタはその電極に接続された透明導体層を有し、前記透明導体層の少なくとも一つの辺に沿って前記絶縁基板に達するスリットが前記第1の絶縁膜にさらに設けられていることを特徴とする請求項1記載の液晶表示装置。

【請求項3】 前記薄膜トランジスタはその電極に接続された透明導体層を有し、前記第1の絶縁膜および前記第2の配線群は第2の絶縁膜で覆われており、前記透明導体層の少なくとも一つの辺に沿って前記第1の絶縁膜に達するスリットが前記第2の絶縁膜にさらに設けられていることを特徴とする請求項1記載の液晶表示装置。

【請求項4】 複数行に配置形成された第1の配線群と、複数列に配置形成された第2の配線群と、これら第1および第2の配線の各交差部分に形成された薄膜トランジスタと、列方向に配置形成された複数の第1の電極端子と、これら第1の電極端子を前記第1の配線群の対応する配線にそれぞれ接続する第1の部分配線群と、行方向に配置形成された複数の第2の電極端子と、これら第2の電極端子から延在形成された第2の部分配線群と、前記第1の配線群、前記第1および第2の部分配線群ならびに前記複数の第1および第2の電極端子の夫々の一部を覆う第1の絶縁膜と、前記第2の配線群を覆って前記第1の絶縁膜上に形成された第2の絶縁膜と、前記第1の絶縁膜に選択的に形成された前記第2の部分配線群を前記第2の配線にそれぞれ接続するための複数のコンタクト穴とが絶縁基板上に形成され、さらに、隣り合う前記第1の電極端子間および前記第1の部分配線間の前記第1の絶縁膜ならびに隣り合う前記第2の電極端子間および前記第2の部分配線間の前記第1の絶縁膜に前記絶縁基板に達するスリットがそれぞれ設けられていることを特徴とする液晶表示装置。

【請求項5】 前記スリットは前記第2の絶縁膜で埋められていることを特徴とする請求項4記載の液晶表示装置。

【請求項6】 絶縁基板上に第1の導電層を形成しこの導電層を選択的に除去することにより、複数行に配設された第1の配線群、これら配線群にそれぞれ対応する複数の電極端子、および前記第1の配線群の夫々を対応す

2

る電極端子にそれぞれ接続する部分配線を形成する工程と、前記第1の配線群、前記複数の電極端子および前記部分配線を覆って前記絶縁基板上に絶縁膜を形成する工程と、隣り合う前記電極端子間および前記部分配線間の前記絶縁膜に前記絶縁膜を選択的に除去してスリットを形成する工程と、第2の導電層を形成しこの導電層を選択的に除去することにより、複数列に配置された第2の配線群を形成するとともに、前記第2の導電層のエッチング材に前記スリットの底面をさらす工程とを有することを特徴とする液晶表示装置の製造方法。

【請求項7】 前記第2の導電層を形成する列に前記第1の配線群の夫々の一部に前記絶縁層を介する重なる半導体層を選択的に形成する工程をさらに有し、前記第2の配線群の夫々は前記半導体層の一部に接続された部分をそれぞれ有し、さらに、前記半導体層の他部に接続された電極層を前記第2の導電層の選択除去により形成することを特徴とする請求項6の液晶表示装置の製造方法。

【請求項8】 前記スリットを形成するときの前記絶縁膜の選択エッチングにより複数のコンタクト穴を形成して前記電極端子の夫々一部を露出させ、さらに、前記第2の導電層の選択エッチングにより前記コンタクト穴を介して前記電極端子にそれぞれ接触する複数の電極導体を形成することを特徴とする請求項7記載の液晶表示装置の製造方法。

【請求項9】 絶縁基板上に第1の導電層を形成しこの導電層を選択的に除去することにより、複数行に配置された第1の配線群、これら配線にそれぞれ対応する複数の第1の電極端子、前記第1の配線群の夫々を対応する第1の電極端子にそれぞれ接続する第1の部分配線群、複数の第2の電極端子、これら第2の電極端子からそれぞれ延在する第2の部分配線群をそれぞれ形成する工程と、前記第1の配線群、前記複数の第1および第2の電極端子ならびに前記第1および第2の部分配線群を覆って前記絶縁基板上に第1の絶縁膜を形成する工程と、前記第1の絶縁膜を選択的に除去することにより、前記第2の配線群の夫々の一部を露出される複数のコンタクト穴ならびに隣り合う前記第1の電極端子間、第1の部分配線間、前記第2の電極端子間および前記第2の部分配線間にそれぞれ位置する複数のスリットを設ける工程と、第2の導電層を形成しこの第2の導電層を選択的に除去することにより、複数列に配置されかつ前記コンタクト穴を介して前記第2の配線群の対応する配線にそれぞれ接続された第2の配線群を形成するとともに、前記スリットの各々を埋める前記第2の導電層を除去する工程と、前記第2の配線群を覆うとともに前記スリットの各々を埋める第2の絶縁膜を形成する工程とを有することを特徴とする液晶表示装置の製造方法。

【請求項10】 前記第1の絶縁膜の選択エッチングの前に前記第1の配線群の夫々の一部と前記第1の絶縁

膜を介してそれぞれ重なる複数の半導体層を選択的に形成する工程をさらに有し、前記第2の配線群の夫々は対応する前記半導体層に接続された部分を有しており、さらに、前記第2の導電層の選択エッチングにより各半導体層に接続され前記第2の配線群の前記部分では離間された電極層を形成し、さらにまた、前記第2の絶縁膜を形成する前に前記電極層に接続された透明電極層を形成する工程を有する請求項9記載の液晶表示装置の製造方法。

【請求項11】 前記第1の絶縁膜の選択的エッチングにより、前記透明電極層の少なくとも一辺に沿ってスリットがさらに形成される請求項10記載の液晶表示装置の製造方法。

【請求項12】 前記第2の絶縁膜を選択的に除去して前記透明電極層の少なくとも一辺に沿って前記第1の絶縁膜に達するスリットを形成する工程をさらに有する請求項10又は11記載の液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は液晶表示装置に関し、特にマトリクス状に配置されたスイッチング素子およびこれらを結ぶ配線が形成されたアクティブマトリクスアレイ基板に関する。

【0002】

【従来の技術】近年、ガラス等の大型基板表面に形成したスイッチング素子アレイよりなるアクティブマトリクス液晶パネルが実用化され、CRTに代る薄型軽量表示装置として脚光を浴びている。マトリクス状に配置されるスイッチング用アクティブ素子ならびにそれらを結ぶ配線の搭載されるアクティブマトリクスアレイ基板は、半導体薄膜、絶縁性薄膜や導電性薄膜をガラス基板の片側表面全体に堆積、パターン化することを順次繰返すことで形成される。

【0003】スイッチング用アクティブ素子としては薄膜トランジスタ(TFT)が用いられている。TFTは複数の行および列のマトリクス状に配置されている。同一の行に配列されているTFTはゲート同士がゲート配線で共通されており、この配線はゲート駆動信号を受けるためのゲート電極端子に導出接続されている。また、同一の列の配列されているTFTはド레인同士がド레인配線で共通されており、この配線はド레인信号を受けるためのド레인電極端子に導出接続されている。各TFTのソースは各画素のための一方の透明電極に接続されている。

【0004】ゲート配線およびド레인配線は、各画素の大きさに応じてそれぞれ定められたピッチをもってそれぞれ行状および列状に配列されている。一方、ゲート電極端子およびド레인電極端子は、各端子に所定の信号を印加するための駆動ICとの接続の関係から、上記ピッチよりもかなり小さいピッチをもって配列されてい

る。

【0005】

【発明が解決しようとする課題】ゲート配線、ド레인配線およびゲート、ド레인電極端子はガラス基板とに導電性薄膜を全面に形成し、そしてフォトリソ工程により選択的に除去されてパターン化されている。このとき、フォトリソ工程において塵埃が導入されると、本来除去されるべき導電性薄膜部分が除去されずにそのまま残存することになる。塵埃による薄膜残りは小さいので、各TFTおよび画素の一方電極を含んだマトリクスアレイ部におけるゲート配線、ド레인配線間の短絡はほとんど生じない。しかしながら、前述のとおりゲート電極端子同士およびド레인電極端子同士のピッチは非常に小さく、その結果として電極端子間の短絡が生じ得る。また、各電極端子と対応するゲート配線、ド레인配線とを結ぶ配線間の短絡も生じやすい。

【0006】したがって、本発明の目的は配線間の短絡を防止した液晶表示装置を提供することにある。

【0007】本発明の他の目的は、マトリクスアレイ基板の製造工程を増加することなく配線間の短絡を防止した液晶表示装置を提供することにある。

【0008】

【課題を解決するための手段】本発明による液晶表示装置は、第1のピッチをもって複数行に配置形成された第1の配線群と、第2のピッチをもって複数列に配置形成された第2の配線群と、各第1および第2の配線の交差部分に形成されたTFTと、前記第1のピッチよりも小さいピッチをもって配置形成された電極端子群と、各電極端子を対応する第1の配線にそれぞれ接続する部分配線群と、第1の配線群、電極端子群の一部および部分配線群を覆う絶縁層とが絶縁基板上に形成されており、かつ隣り合う電極端子間および部分配線間の上記絶縁層に絶縁基板に達するスリットが設けられているアクティブマトリクスアレイ基板を備えている。

【0009】また、本発明では、絶縁基板上に上記第1の配線群、電極端子および部分配線を形成した後に絶縁膜を全面に形成し、上記電極端子の一部を露出するための絶縁膜に対する選択エッチングのときに隣り合う電極端子間および部分配線間の絶縁層にスリットを設けており、そして上記第2配線群の形成のための選択エッチングを上記スリットにより露出した部分に対しても実行している。

【0010】かくして、本発明によれば、隣り合う電極端子同士、部分配線同士、さらには電極端子と部分配線とを短絡する導電性層が残存していても、スリットによって当該短絡は切断されることになる。

【0011】

【実施例】以下、図面により本発明の実施例を詳細に説明する。

【0012】図1を参照すると、本発明一実施例による

5

液晶表示装置のアクティブマトリクスアレイ基板の平面図が示されている。本基板は所謂配向膜を形成する直前の状態を示している。

【0013】すなわち、ガラス基板1上にTFTQがn行m列のマトリクス状に配置形成されている。各TFTQはゲート電極G、この電極上にゲート絶縁膜（図示せず）を介して形成された半導体層SS、この半導体層の両端部に形成されたドレイン電極Dおよびソース電極Sを有する。各ソース電極には画素を構成するための一方の透明電極PSが接続されている。

【0014】同一の行をなすTFTQの各ゲート電極Gはゲート配線GCにより共通接続されている。したがって、nのゲート配線GC1乃至GCnが所定のピッチをもってn行を構成するように形成されている。同一の列をなすTFTQの各ドレイン電極Dはドレイン配線DCにより共通接続され、したがって、mのドレイン配線DC1乃至DCmが所定のピッチをもってm列をなしている。

【0015】各ゲート配線GCは対応するゲート電極端子TGに部分配線PGを介して接続されている。図示するように、ゲート電極端子TG1〜TGnのピッチは非常に小さい。これは、各ゲート電極端子TGにゲート信号を供給するICがテープキャリアで形成されるためである。同様に、各ドレイン配線DCは、非常に小さいピッチをもって形成されたドレイン電極端子TD1〜TDmの対応する端子に部分配線PDを介して形成されている。本実施例では、後で詳述するが、ドレイン電極端子TDおよび部分配線PDはドレイン配線DCより前に形成されるゲート電極端子TGおよび部分配線PGと同時に形成されるので、各ドレイン配線DCはコンタクトC

Cを介して対応する部分配線PDに接続されている。

【0016】さらに、本基板には、本発明に従ってスリットSG、SDが隣り合うゲート電極端子TG間およびこれから延びる部分配線PG間に、また隣り合うドレイン電極端子TD間およびこれから延びる部分配線PD間にそれぞれ設けられている。かかるスリットSG、SDにより、GSDおよびDSDとしてのゲート間短絡導電膜およびドレイン間短絡導電膜が切断され、互なる行のゲート間および互なる列のドレイン間の電氣的絶縁が保たれる。

【0017】すなわち、図2に図1の線A-A'に沿った断面図を示すように、ガラス基板1上には部分配線PGが選択的に形成されている。この選択形成は、まずガラス基板1の全面に導電性薄膜を形成しフォトリソを用いたパターニングにより行なわれるものであるが、フォトリソ工程に混入したホコリにより部分配線PG2およびPG3を短絡する短絡導電膜GSDが残存している。そこで、各電極端子TG、TD、部分配線PG、PDおよびゲート配線GCを形成した後にゲート絶縁膜10を全面に形成し、電極端子TG、TDの一部を

6

露出する穴を絶縁膜10に形成するための選択エッチング工程を利用してスリットSGを同時に形成している。このスリットSGにより短絡導電膜GSD、DSDの一部が露出し、同膜がないところは基板1の一部が露出する。次いで、ドレイン配線DCが形成されるわけであるが、このときの選択エッチングを利用して短絡導電膜GSD、DSDもエッチングされ切断される。そして、全面にパッシベーション膜としての絶縁膜20が形成され、各スリットSG、SDが同膜20でふさがれる。その後、図示しない配向膜が形成されるのである。

【0018】かくして、ピッチが小さいがために選択エッチングの際の欠陥にもとづく配線間の短絡が生じて、完成後は同短絡は切断されて配線間の絶縁が達成されるのである。

【0019】次に、本アクティブマトリクスアレイ基板を得るための製造方法につき説明する。なお、以下では図1の基板の一部のみを示している。

【0020】すなわち、図3に示すように、ガラス基板1上にクロム(Cr)の導電性薄膜を全面に形成し、選択エッチングによりパターニングしてゲート配線GC、ゲート電極端子TG、部分配線PG、ドレイン電極端子TD、部分配線PDおよびコンタクト端子CCを形成する。各ゲート配線GCにはTFTのゲートGSCの突出部分が設けられている。この選択エッチングにおけるパターン欠陥により、部分配線PG2とPG3とを短絡する短絡導電膜GSDが形成される。

【0021】次に、図4のように、全面にゲート絶縁膜（図示せず）を全面に形成した後、非晶質シリコン(a-Si)膜をゲート絶縁膜上に全面に形成し、パターニングすることにより、TFTのa-Si膜Sを選択的に形成する。

【0022】この後、各ゲートおよびドレイン電極端子TG、TDのためのコンタクト穴TGC、TDCおよびコンタクト端子CCのためのコンタクト穴CCCを形成するためにゲート絶縁膜を選択的にエッチングするわけであるが、このエッチング工程によりスリットSGおよびSDも形成する（図5）。かくして、図6に図5の線B-B'に沿った断面図からより明らかになるように、スリットSGによりゲート絶縁膜10の一部が除去されて短絡導電膜GSDの一部が露出される。短絡導電膜がないところはガラス基板1の一部が露出する。

【0023】ゲート絶縁膜10に対する選択エッチング後、図7のように、Crの導電性薄膜を全面に形成し、パターニングすることにより、ドレイン配線DCおよびコンタクト穴TGC、TDCを埋める電極導体層15、16を形成する。各ドレイン配線DCはさらにコンタクト穴CCCを介して対応するコンタクト端子CCに接続され、また、TFTのドレインDとしてa-Si膜Sの一端部に接続する突出部分を有している。さらにまた、a-Si膜Sの他端部に接続されるTFTのソース電極

7

Sが形成される。かかる選択エッチングにより、図8に図7の線C-C'に沿った断面図に明示されるように、スリットSGにより露出された短絡等本GSDはエッチングされ切断される。かくして、短絡状態にあった部分配線PG2およびPG3、そしてPD2およびPD3(図1)は絶縁分離されることにある。

【0024】しかる後、図9のように透明電極薄膜を全面に形成し、選択エッチングを行うことにより、ソースSに接続された各画素の一方の電極PSを形成する。また、このとき、電極導体層15、16を覆うように透明電極導体膜17、18も残している。この後、パッシベーション膜20が全面に形成され、各電極端子のためのコンタクト穴が形成される(図9の線D-D'に沿った断面図である図10参照)。

【0025】その後、配向膜がマトリクスアレイ部分にのみスクリーン印刷され、所謂ラビング処理を施し、共通電極が形成されたもう一方の基板と対向するように重ねられ、液晶が封止されて液晶表示装置が完成する。

【0026】このように、本製造によればアクティブマトリクスアレイ基板を製造するに必要な工程を用いて短絡導体を切断している。何ら工程の増加はない。

【0027】上述したように、TFTのマトリクスアレイ部分は各配線のピッチが比較的大きいので、本発明によるスリットは設ける必要はないが、画素数が増大するとそのピッチは小さくなってゆき、このため、マトリクスアレイ部においても短絡が生じることが考えられる。

【0028】そこで、図10～図14のように、各TFT(すなわち各画素)において、透明電極Sの一边又は複数辺に沿ってスリットPSSを設けてもよい。本スリットPSSはスリットSG、SDと同一工程で形成される。

【0029】かかるスリットPSSによってゲート配線GC同士の短絡は切断できるが、ドレイン配線DC同士の短絡は切断できない、そこで、図15に示すように、各TFTに対し、ドレイン配線短絡切断用スリットPDSを設けている。

【0030】図16に図15のE-E'線に沿った断面図を示すように、スリットPDSは、パッシベーション膜20の選択エッチング工程(図10)と同時に形成される。この後、工程は追加されるが、ホトレジスト30を全面に形成し、スリットPDSに沿って開孔を設けてCrに対するエッチャントを用いたエッチングを施すことにより、ドレイン配線DS同士を短絡する導体が切断される。図11～図14と図15とは各TFTに両方とも適用することができる。

【0031】

8

【発明の効果】以上のとおり、本発明によれば導電体のパターンニングの際にパターン欠陥で配線間に短絡導体層が残っても、同層は切断されて、配線間の絶縁が行なわれたアクティブマトリクスアレイ基板が提供され、また、同絶縁が製造工程の増加なしに実行し得る同基板の製造方法が提供される。

【図面の簡単な説明】

【図1】本発明の一実施例を示すアクティブマトリクスアレイ基板の平面図。

【図2】図1のA-A'線に沿った断面図。

【図3】本発明の一実施例による製造工程の1段階を示す平面図。

【図4】本実施例による製造工程の他の段階を示す平面図。

【図5】本実施例による製造工程のさらに他の段階を示す平面図。

【図6】図5のB-B'線に沿った断面図。

【図7】本実施例による製造工程のさらに他の段階を示す平面図。

【図8】図7のC-C'線に沿った断面図。

【図9】本実施例による製造工程のさらに他の段階を示す平面図。

【図10】図9のD-D'線に沿った断面図。

【図11】本発明によるアクティブマトリクスアレイ基板のTFT部の変形例を示す平面図。

【図12】TFT部の他の変形例を示す平面図。

【図13】TFT部のさらに他の変形例を示す平面図。

【図14】TFT部のさらに他の変形例を示す平面図。

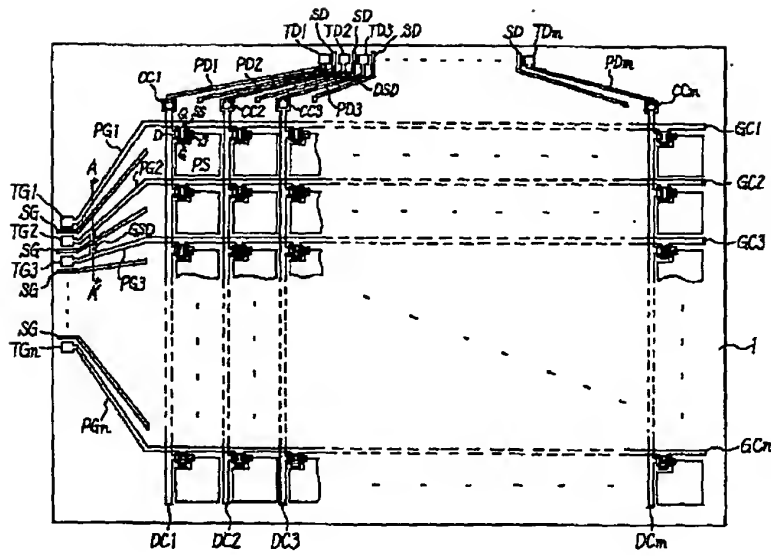
【図15】TFT部のさらに他の変形例を示す平面図。

【図16】図15のE-E'線に沿った断面図。

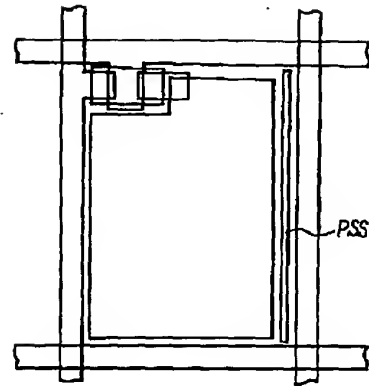
【符号の説明】

1 ガラス基板  
Q TFT  
G ゲート電極  
SS 半導体層  
D ドレイン電極  
S ソース電極  
PS 透明電極  
GC<sub>1</sub>～GC<sub>n</sub> ゲート配線  
DC<sub>1</sub>～DC<sub>m</sub> ドレイン配線  
TG ゲート電極端子  
TD ドレイン電極端子  
SG, SD スリット  
GSD, DSD 短絡導体膜  
TGC, TDC, CCC コンタクト穴  
CC コンタクト端子

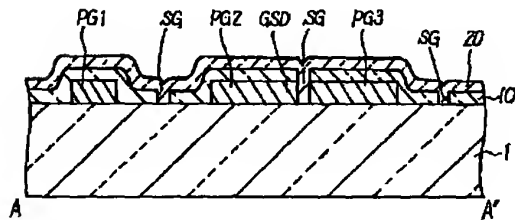
【図1】



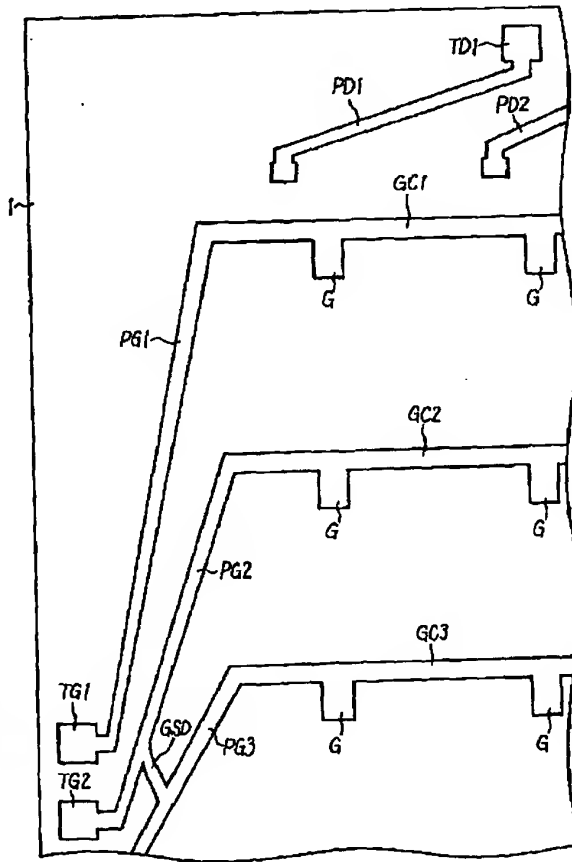
【図11】



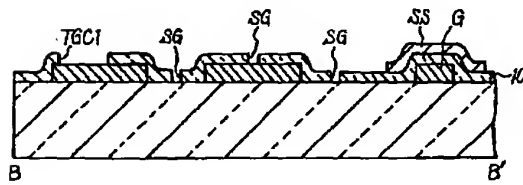
【図2】



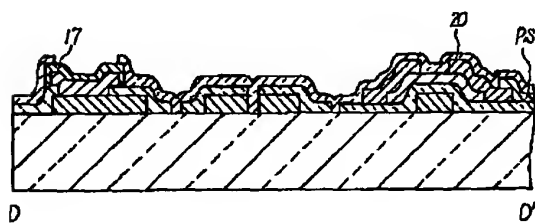
【図3】



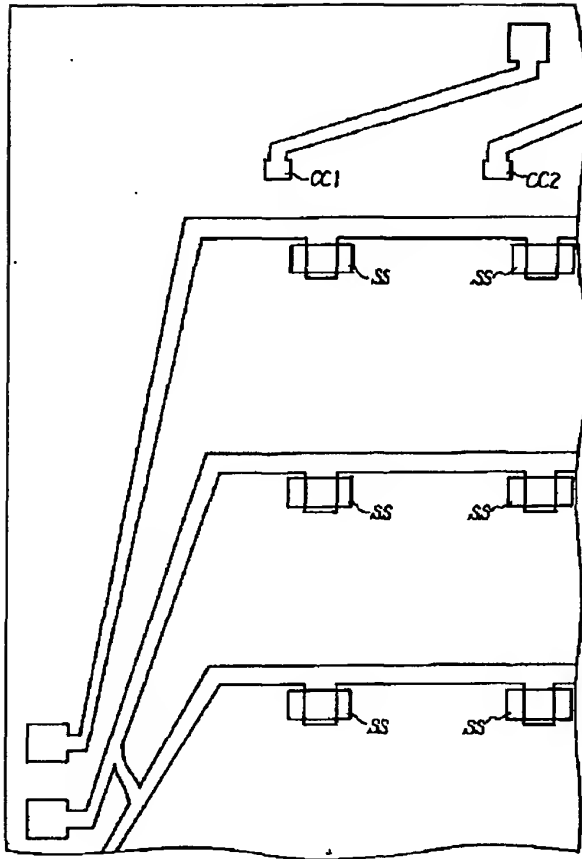
【図6】



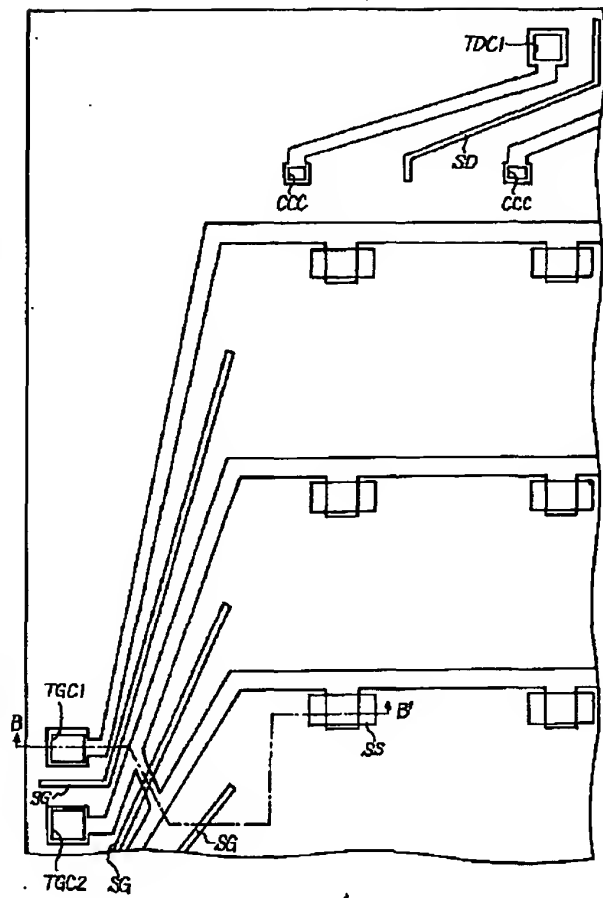
【図10】



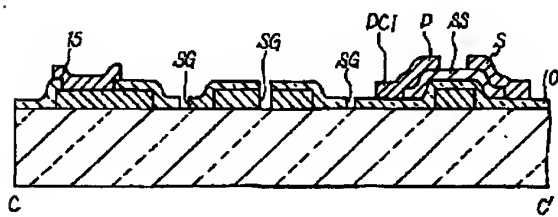
【図4】



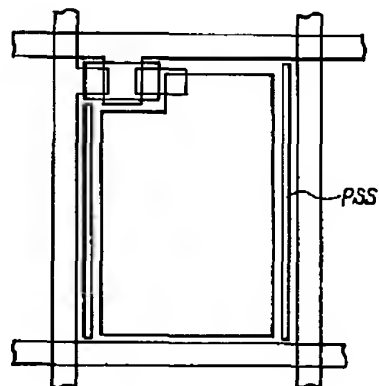
【図5】



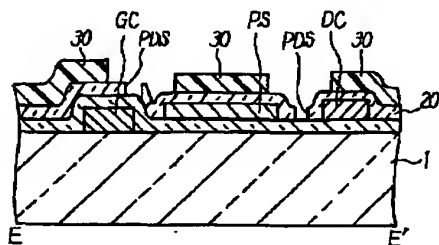
【図8】



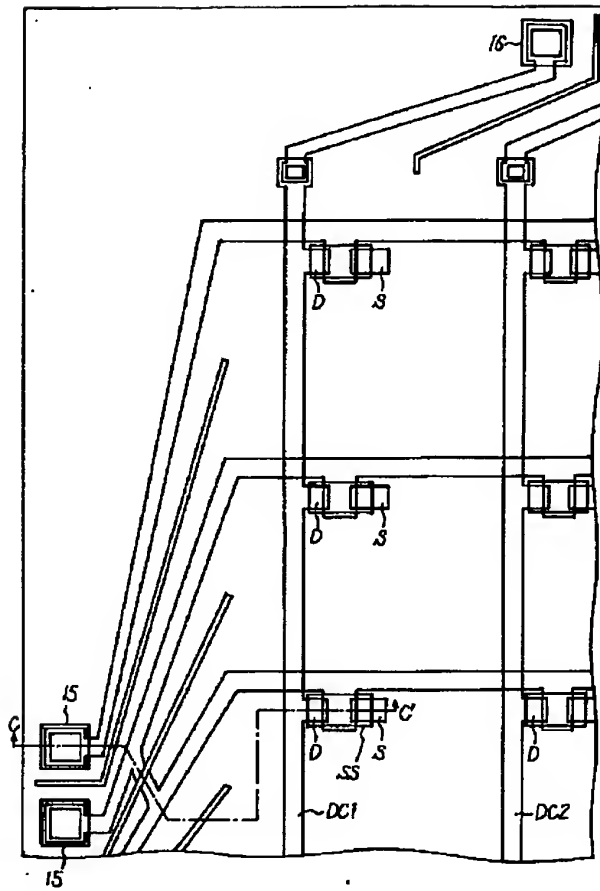
【図12】



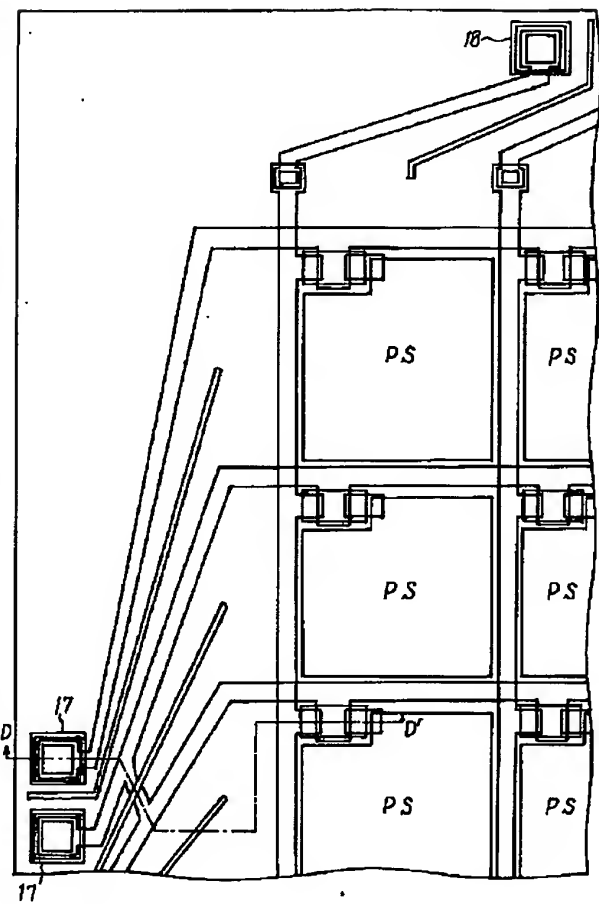
【図16】



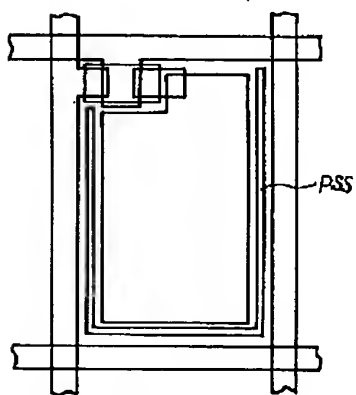
【図7】



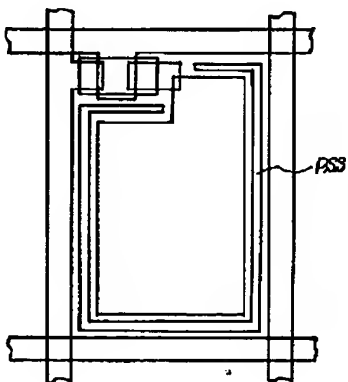
【図9】



【図13】



【図14】



【図15】

